

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

013480198 **Image available**

WPI Acc No: 2000-652141/200063

XRPX Acc No: N00-483820

Semiconductor device e.g. active matrix liquid crystal display device,
integrated circuit card has patternization insulating layer which is
provided between gate insulating film and semiconductor layer

Patent Assignee: HITACHI LTD (HITA); ANDO M (ANDO-I); ISHIHARA S (ISHI-I)
; WAKAGI M (WAKA-I)

Inventor: ANDO M; ISHIHARA S; WAKAGI M

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000269504	A	20000929	JP 9969529	A	19990316	200063 B
KR 2000062886	A	20001025	KR 200013012	A	20000315	200124
US 6300988	B1	20011009	US 2000526557	A	20000316	200162
US 20020012080	A1	20020131	US 2000526557	A	20000316	200210
			US 2001949091	A	20010910	
TW 473639	A	20020121	TW 2000103612	A	20000301	200308

Priority Applications (No Type Date): JP 9969529 A 19990316

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000269504	A		10	H01L-029/786	
KR 2000062886	A			G02F-001/136	
US 6300988	B1			G02F-001/136	
US 20020012080	A1			G02F-001/136	Cont of application US 2000526557 Cont of patent US 6300988
TW 473639	A			G02F-001/136	

Abstract (Basic): JP 2000269504 A

NOVELTY - The semiconductor device includes a glass substrate (101), a gate electrode (102), a gate insulating film (103), a source electrode (104), a drain electrode (105), and a semiconductor layer. A patternization insulating layer (106) is provided between the gate insulating film and the semiconductor layer in addition to a channel layer.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) a semiconductor device manufacturing method;
- (b) and a liquid crystal display device.

USE - For monitor of e.g. personal computer, workstation.

ADVANTAGE - Optimizes semiconductor channel area in organic thin film transistor (TFT). Reduces drain-off current and avoids writing-in to liquid crystal pixel by adjacency signal wiring in active matrix liquid crystal apparatus.

DESCRIPTION OF DRAWING(S) - The figure shows the cross-section and

the planar structure of an organic TFT.

Glass substrate (101)

Gate electrode (102)

Gate insulating film (103)

Source electrode (104)

Drain electrode (105)

Patternization insulating layer (106)

pp; 10 DwgNo 1/7

Title Terms: SEMICONDUCTOR; DEVICE; ACTIVE; MATRIX; LIQUID; CRYSTAL;

DISPLAY; DEVICE; INTEGRATE; CIRCUIT; CARD; INSULATE; LAYER; GATE;

INSULATE; FILM; SEMICONDUCTOR; LAYER

Derwent Class: P81; U11; U12; U14

International Patent Class (Main): G02F-001/136; H01L-029/786

International Patent Class (Additional): G02F-001/1333; G02F-001/1365;

H01L-021/336; H01L-029/04; H01L-051/00

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPI0

(c) 2003 JPO & JAPI0. All rts. reserv.

06683675 **Image available**

SEMICONDUCTOR DEVICE, ITS MANUFACTURE AND LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 2000-269504 [JP 2000269504 A]

PUBLISHED: September 29, 2000 (20000929)

INVENTOR(s): ISHIHARA SHINGO

 WAKAGI MASATOSHI

 ANDO MASAHICO

APPLICANT(s): HITACHI LTD

APPL. NO.: 11-069529 [JP 9969529]

FILED: March 16, 1999 (19990316)

INTL CLASS: H01L-029/786; G02F-001/1365; H01L-051/00; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a thin-film transistor in which a semiconductor channel region is patterned.

SOLUTION: On a glass substrate 101, a gate electrode 102, a gate insulting film 103, a source electrode 104, and a drain electrode 105 are formed, thereon a patterned insulating film is formed, and a region 110 on the gate electrode is removed. An organic semiconductor film is vapor-deposited on the removed region. An organic semiconductor film 107, formed in the region 110 where the patterned insulating film was removed, turns into a channel region and is isolated from the organic semiconductor film 108 on a patterned insulating film 106. That is, the organic semiconductor channel region is patterned in equal size as the gate electrode.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-269504

(P 2 0 0 0 - 2 6 9 5 0 4 A)

(43)公開日 平成12年9月29日(2000.9.29)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)		
H01L 29/786		H01L 29/78	618	B	2H092
G02F 1/1365		G02F 1/136	500		5F110
H01L 51/00		H01L 29/28			
21/336		29/78	627	C	

審査請求 未請求 請求項の数 5 O L (全10頁)

(21)出願番号 特願平11-69529

(22)出願日 平成11年3月16日(1999.3.16)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石原 慎吾

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 若木 政利

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体装置、その製造方法及び液晶表示装置

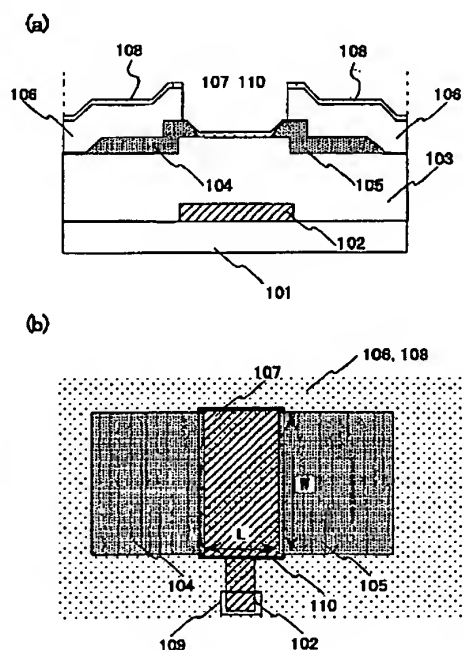
(57)【要約】

【課題】 半導体チャネル領域がパターン化された薄膜トランジスタを提供すること。

【解決手段】 ガラス基板101上にゲート電極102、ゲート絶縁膜103、ソース電極104、ドレイン電極105を形成する。その上にパターン化絶縁膜を形成し、ゲート電極上の領域110を除去する。その上に、有機半導体膜を蒸着する。パターン化絶縁膜の除去した領域110内に形成された有機半導体膜107はチャネル領域となり、パターン化絶縁膜106上の有機半導体膜108と分離され、有機半導体チャネル領域がゲート電極と同等のサイズにパターン化されたことになる。

【効果】 本発明を用いれば、半導体チャネル領域がパターン化された薄膜トランジスタが可能となる。

図 1



【特許請求の範囲】

【請求項 1】基板、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、及び半導体層からなる半導体装置において、チャンネル領域以外において前記ゲート絶縁層と前記半導体層の間にパターン化絶縁層を少なくとも有することを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記パターン化絶縁層に感光性絶縁膜を用いることを特徴とする半導体装置。

【請求項 3】ガラス基板上にゲート電極、ゲート絶縁層、ソース電極、ドレイン電極を形成し、絶縁膜を形成したのち、ゲート電極上の絶縁膜を除去した後、半導体膜を形成することを特徴とする半導体装置の製造方法。

【請求項 4】請求項 1 において、前記半導体層が有機半導体を有することを特徴とする半導体装置。

【請求項 5】請求項 1 から請求項 2、及び請求項 4 に記載されている半導体装置をアクティブ素子として用いることを特徴とするアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関わり、特にアクティブマトリクス液晶表示装置或いは IC カードに関わる。

【0002】

【従来の技術】近年、薄膜トランジスタ (TFT) に代表されるアクティブ素子を用いたアクティブマトリクス液晶表示装置は、CRT と同等の高画質、CRT よりも低消費電力で省スペースといった点からパソコンやワークステーションなどのモニタとしても使用されつつある。しかし、アクティブマトリクス液晶装置は、CRT に比べて値段が高く、より普及していくためには、一層の低価格化が求められている。低価格化の手法の一つとして、簡便な作製法の有機薄膜トランジスタ (有機 TFT) をアクティブ素子に適用することが考えられている。現行のアモルファスシリコン TFT の絶縁層及び半導体層を作製するプラズマ化学気相成長 (CVD) 装置、及び電極を作製するスパッタ装置は高額である。また、CVD 法では成膜温度が 230 ~ 350 度と高く、また、クリーニング等の保守を頻繁に行う必要があり、スループットが低い。一方、有機 TFT を作製する塗布装置、真空蒸着装置は CVD 装置、スパッタ装置と比べて安価であり、それらの装置では、成膜温度が低く、メンテナンスが簡単である。そのため、液晶表示装置に有機 TFT を適用した際は、コストの大幅な削減が期待できる。

【0003】一般的な有機 TFT は、ガラス基板、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極、及び有機半導体膜の構成からなる。ゲート電極に印加する電圧を変えることで、ゲート絶縁膜と有機半導体膜の界面の電荷量を過剰、或いは不足にし、ソース電極/有機半導体/ドレイン電極間を流れるドレイン電流値を変化させ、スイッチングを行う。

【0004】特開平 8-228035 号公報は、前記有機半導体膜に 6 量体チオフェンオリゴマ蒸着膜を用いて有機 TFT を作製することを開示する。また、文献 (Y-Y. Lin, D.J. Gundlach, S. F. Nelson, and T. N. Jackson, IEEE Transactions on Electron Devices, Vol. 44, No. 8 p.p. 1325-1331 (1997)) では、有機半導体膜にペンタセン蒸着膜を用いて高性能有機 TFT を作製したことを開示する。また、特開平 8-191162 号公報は、半導体膜、ソース電極、ドレイン電極、ゲート電極に有機材料を用い、かつ、ゲート絶縁膜にシアノ基を有する絶縁性ポリマーを用いる有機 TFT を作製したことを開示する。

【0005】特開平 8-228035 号公報、及び特開平 10-125924 号公報では、蒸着法を用いて、有機半導体膜を形成しているが、半導体膜のパターン化に関する記載はない。例えば、Mo 製の金属マスクを用いてパターン形成をした場合、パターンの最小サイズは 100 μm 程度となり、現行の液晶ディスプレイ装置の画素サイズ (10 \times 30 μm^2) と比べて大きくなる。また、既存のホトリソグラフ法 (ホトリソ法) を用いた場合、レジスト材料に用いる極性溶媒、或いは溶媒を脱離するためのアニールによる半導体層へのキャリア注入等の劣化が懸念される。

【0006】また、特開平 2-239663 号公報では、基板上に 2 枚の平行電極の間にパターン化された有機半導体層を有する 2 端子電子素子に関する記載がある。これは、下部電極上に電極部分を除去したパターン化絶縁膜を形成し、下部電極を用いて、下部電極と同等のサイズの有機半導体膜を作製する。この発明では、材料がデトラシアノキノジメタン等の電子供与体となる有機材料に限定され、他の材料に適用できない。また、この作製法を TFT 等の 3 端子素子に適用することはできない。

【0007】

【発明が解決しようとする課題】従来技術の有機 TFT では、有機半導体膜を微小加工できず、ゲート電極に比べて大面積である。そのため、回り込みによるオフ電流の増大がおこる。また、有機半導体膜が大面積であるため遮光層で覆いきれなくなり、光励起で発生するキャリアによるオフ電流が増加する。この結果、スイッチ素子の性能を示す電流のオン/オフ比が小さくなる。オン/オフ比が小さくなると、例えば、液晶ディスプレイアクティブ素子に用いた場合、オフ状態でも電流が流れるため、液晶に印加された電圧が下がってしまい、保持特性が低下する。

【0008】また、オフ電流が増大することにより、スイッチの急峻性を示す、ドレイン電流を 1 桁増加させるのに必要なゲート電圧変化量 (S 値) が大きくなり、TFT 特性が低下する。

【0009】また、上記有機 TFT を液晶表示装置のアクティブ素子に用いた場合、隣接する信号配線との間で

TFTを構成するために、隣接信号配線によって液晶素子への書き込みが起り、コントラストの低下につながる。

【0010】本発明の目的は、有機TFT素子において、上記TFT特性の低下、及び液晶表示装置における隣接信号配線の影響によるコントラストの低下を回避する新しいパターン化法を開発することである。

【0011】

【課題を解決するための手段】上記目的は、基板、ゲート電極、ゲート絶縁層、ソース電極、ドレイン電極、及び有機半導体層からなる有機薄膜トランジスタにおいて、前記ゲート絶縁層と前記半導体層の間にパターン化した絶縁層を介して、前記有機半導体膜のチャネル領域をゲート電極と同等のサイズにパターン化することにより達成される。

【0012】また、本発明は、前記絶縁層に感光性絶縁膜を用いることも可能である。

【0013】つぎに、本発明はアクティブマトリクス液晶表示装置のアクティブ素子として用いることを特徴とする。

【0014】ここでいう有機TFTとは、導電ゲート電極、ゲート絶縁層、水平に間隔を置くソース電極とドレイン電極、及び有機半導体層によって構成される。有機TFTは、ゲート電極に印加される電圧の極性に依りて、蓄積状態または空乏状態の何れかで動作する。

【0015】本発明のゲート電極は、ソース電極とドレイン電極の間、及びソース／ドレイン電極の長手方向を1辺とする領域の真上或いは真下にあり、電極サイズは位置合わせ精度を考慮して、前記領域の各辺の1.1から1.2倍の大きさとなることが望ましい。電極形成プロセスが簡便な塗布法を用いたポリアニリン、ポリチオフェン等の有機材料、導電性インクが望ましい。また、既存のホトリソグラフ法を用いて電極形成が可能な金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、ニッケル、等の金属や、これら金属を用いた合金や、ポリシリコン、アモルファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物（ITO）等の無機材料が望ましい。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

【0016】本発明のゲート絶縁膜に用いる材料として、ゲート電極と同じように塗布法が可能なポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミド等の有機材料が望ましい。また、既存ホトリソ法を用いることができる SiO_2 、 SiN_x 、 Al_2O_3 等の無機材料が望ましい。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

い。

【0017】本発明で用いるソース電極及びドレイン電極の材料としては、ほとんどの有機半導体が、電荷を輸送するキャリアがホールであるP型半導体であることから、半導体層とオーミック接触をとるために、仕事関数の大きい金属が望ましい。具体的には、金、白金が挙げられるが、これらの材料に限定されるわけではない。また、半導体層表面にドーパントを高密度にドーパした場合は、金属／半導体間をキャリアがトンネルすることが可能となり、金属の材質によらなくなるため、ゲート電極であげた金属材料も対象となる。

【0018】本発明のパターン化絶縁膜とは、ゲート絶縁膜と有機半導体層の間に形成され、ゲート電極の真上或いは真下にある絶縁膜の領域を除去した構成となる。また、除去される絶縁膜の領域は、ゲート電極サイズと同等が望ましい。このパターン化絶縁膜は、半導体膜を形成する際のマスクパターンとしての機能を有する。即ち、パターン化絶縁膜を形成後、半導体膜を堆積すれば、チャネル領域として機能する領域のみに半導体膜をゲート絶縁膜と接するように形成できる。また、ゲート電極の真上或いは真下にある絶縁膜の領域を除去した除去部分でない部分においては、このパターン化絶縁膜（ソース電極・ドレイン電極が存在する部分ではこれら電極と共に）を介して半導体膜が形成される。これにより、チャネル領域に半導体膜を精度良く形成できる。

【0019】本発明の感光性絶縁膜とは、それ自体がホトパターン化性を兼備しているものであって、レジスト材料が不要になり、作製工程が短縮される。パターン化絶縁膜の材料としては、選択エッチングを行うために、ゲート絶縁膜と違う絶縁材料を用いる必要がある。

【0020】絶縁膜の具体例としては、 SiO_2 、 SiN_x 、 Al_2O_3 等の無機材料やポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミド等の有機材料が挙げられるが、これらの材料に限定されるわけではない。

【0021】本発明の有機半導体材料としては、 π 電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機けい素化合物等が望ましい。具体的には、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられるが、これらの材料に限定されるわけではない。

【0022】本発明の有機TFT製造方法は、ガラス基板上にゲート電極、ゲート絶縁層、ソース電極、ドレイン電極を形成し、絶縁膜を形成したのち、ゲート電極上の絶縁膜を除去した後、半導体膜を形成することを特徴とする。本発明の有機TFT製造方法としては、無機絶縁膜等には、プラズマCVD法、金属膜、錫酸化物、酸

化インジウム、ITO等には、スパッタ法が用いられる。また、パターン加工には、既存のホトリソグラフ法とドライエッチング或いはウエットエッチング法が用いられる。これら作製法に関する詳細な説明は、松本正一編「液晶ディスプレイ技術—アクティブマトリクスLCD—」第2章 産業図書(1996年)に記載されている。また、導電性有機材料、導電性インク、絶縁性有機材料、半導体有機材料を原料とする薄膜の作製方法として、スピンコート法、キャスト法、引き上げ法、真空蒸着法、等が挙げられる。

【0023】ここでいうアクティブマトリクス液晶表示装置とは、表示部を構成している画素ごとにアクティブマトリクス素子が付加され、これを通して液晶に電圧が印加されるものである。駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレイン電極は信号線に、ソース電極は画素電極に接続される。走査線にはアドレス信号、信号線には表示信号が供給され、オン/オフ信号が乗畳されたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。有機TFTをスイッチング素子に適用した場合、製造プロセスが簡易化され、低価格が可能となる。

【0024】以上、有機TFTを中心にして説明したが、本発明のTFT構造及びその製造方法は有機材料以外の半導体層を有するTFTにも適用可能である。

【0025】

【発明の実施の形態】(実施例1)本発明による有機TFT素子を、図1及び図2により説明する。

【0026】図1(a)に実施例1の有機TFT素子構造断面図を示す。図1(b)は、実施例1の有機TFT素子構造の平面図を示す。101はガラス基板、102はゲート電極、103はゲート絶縁膜、104はソース電極、105はドレイン電極、106はパターン化絶縁膜、107はチャネル領域の6量体チオフェンオリゴマ(a-6T)有機半導体膜、108は非チャネル領域のa-6T有機半導体膜、109はゲート電極取り出し用穴、110はパターン化絶縁膜の除去領域である。すなわち、パターン化絶縁膜106は、ゲート絶縁膜103と有機半導体層(有機半導体膜107)の間に形成された絶縁膜を、ゲート電極102の上方或いは下方(本実施例では上方)にある絶縁膜のうち、パターン化絶縁膜の除去領域110を除去した構成となる。また、除去される絶縁膜の領域312は、ゲート電極102のチャネル領域の大きさと同等となっている。

【0027】また、図1(b)に示されるように、ソース電極104とドレイン電極105は、Wの幅を有し、Lの間隔をもって配置される。ゲート電極102は、一方の側に引出され、ゲート電極取り出し用穴109よ

り、外部に接続される。有機半導体膜107は、ソース電極104及びドレイン電極105の端部の斜面部分において接するように構成される。

【0028】図2(a)に、図1に構成を示した有機TFTの作製工程を示す(工程201~211)。また、図2(b)に、図2(a)の工程で用いられるホトリソ工程を示す(工程212~216)。図2(b)左欄に、処理の流れを示し、右欄に対応した、構造の変化を示す。図中において、217はレジスト膜、218は加工膜、219は基板、220はホトマスクを示す。

【0029】コーニング1737よりなるガラス基板101上に厚さ約150nmのCrMo膜をスパッタリング法により形成する(工程201)。図2(b)に示したホトリソ工程によりCrMo膜をパターン化してゲート電極102を形成する(工程202)。

【0030】ホトリソ工程では、パターン化する加工膜218に、スピンコート法によりレジスト膜217を形成し(工程212)、ホトマスク220を通してUV光を照射しレジストを感光させ(工程213)、現像、ポストバークすることでマスクパターンをレジスト膜に転写する(工程214)。続いて、湿式或いは乾式エッチング法にてレジストで被覆されていない部分を除去し(工程215)、レジストをはく離する(工程216)。

【0031】ゲート電極102を形成したガラス基板101上にCVD法により、厚さ300nmの酸化シリコン(SiO₂)膜のゲート絶縁膜103を形成する(工程203)。ゲート絶縁膜103は、ゲート電極102の存在により、ゲート電極102と同等の幅分隆起した構造となっている。SiO₂膜の形成に用いた原料ガスは以下の通りである: SiH₄+N₂O。ホトリソ工程により、SiO₂膜にゲート電極取り出し用穴109を形成する(工程204)。その上にスパッタ法を用いて、厚さ20nmのCrMo膜を形成し、ホトリソ工程によりパターン化して、ソース電極104、ドレイン電極105を形成する(工程205, 206)。その上に蒸着法を用いて形成した厚さ150nmのAu膜をホトリソ工程によりパターン化して、ソース電極104、ドレイン電極105を形成する。CrMo膜はAu膜とSiO₂膜の密着性を向上させるために用いた。ソース電極、ドレイン電極の大きさは、(1000×50μm²)である。この場合、チャネル幅Wは1000μmとなる。また、チャネル長Lはソース/ドレイン電極間のギャップに対応し、50μmである。

【0032】通常の有機TFT素子では、この上に有機半導体膜を作製するが、本発明では、その上に、CVD法を用いて、厚さ500nmの窒化シリコン(SiN_x)膜を形成する(工程209)。SiN_x膜の形成に用いた原料ガスは以下の通りである: SiH₄+NH₃+N₂。ホトリソ工程によりSiN_x膜の一部を除去する

(工程210)。除去領域110の位置は、図1(b)に示したように、ソース電極とドレイン電極の間の領域(W×L)と同心にあり、チャンネル長L、チャンネル幅Wの、それぞれ、1.1倍の大きさである。その上に厚さ100nmの6量体チオフェンオリゴマ(a-6T)有機半導体膜を真空蒸着法により形成する(工程211)。a-6T有機半導体膜の作製条件は以下の通りである。蒸着装置チャンバー内の到達真空度は、 $3 \sim 5 \times 10^{-4}$ Torrである。a-6T粉末をMo製抵抗加熱用ボートにのせ、約300℃に加熱して蒸着する。以上により、有機TFTが完成する。

【0033】本実施例では、SiNx膜の除去領域110内に形成されたチャンネル領域のa-6T有機半導体膜107がソース電極104、ドレイン電極105、或いはゲート絶縁膜103に接し、ドレイン電流の流れるチャンネル領域となる。また、SiNx膜の除去領域110を異方性エッチング法で形成したため、除去領域の基板表面に垂直な断面とソース/ドレイン電極表面のなす角(テーパー角)が90度近くになった。そのため、図1(a)に示したように、SiNx膜106上にあるa-6T有機半導体膜108と、チャンネル領域を形成するa-6T有機半導体膜107が断切れ状態となり、チャンネル領域がゲート電極と同等のサイズとなった。その結果、ソース/ドレイン電極間の回り込み電流が低下し、オフ電流が 10^{-11} Aから 10^{-14} Aと小さくなった。また、スイッチングの急峻性を示すS値も15から3に減少することができた。また、a-6T有機半導体膜の有効サイズが小さくなったため、光励起で発生するキャリアによる光電流が抑制された。

【0034】本実施例のチャンネル領域は $1100 \times 55 \mu\text{m}^2$ となり、通常の金属マスクを用いた蒸着マスクのパターン化方法では実現できない。また、本発明のパターン化方法では、ホトリソ工程を用いているため、液晶表示装置のアクティブマトリクス素子に必要なサイズを実現できる。

【0035】この結果、本発明によれば、ソース/ドレイン電極と有機半導体膜の間にパターン化した絶縁層を介することにより、基板全面に蒸着した有機半導層がゲート電極と同等のサイズにパターン化され、電極間の回り込み電流、及び光励起によるオフ電流の増加が抑制され、高性能有機TFT素子が得られることが判る。

【0036】(実施例2)次に、本発明による有機TFT素子において、パターン化絶縁膜に感光性有機絶縁膜を用いた実施形態について、図3及び図4により説明する。

【0037】図3(a)に実施例2の有機TFT素子構造断面図を示す。図3(b)は、実施例2の有機TFT素子構造の平面図を示す。301はガラス基板、302はゲート電極、303はゲート絶縁膜、304はソース電極、305はドレイン電極、306は感光性有機絶

膜からなるパターン化絶縁膜、307はチャンネル領域のa-6T有機半導体膜、308は非チャンネル領域のa-6T有機半導体膜、309はゲート電極取り出し用穴、310は感光性有機絶縁膜の除去領域である。すなわち、感光性有機絶縁膜からなるパターン化絶縁膜306は、ゲート絶縁膜303と有機半導体層(有機半導体膜307)の間に形成された感光性有機絶縁膜を、ゲート電極302の上方或いは下方(本実施例では上方)にある絶縁膜のうち、感光性有機絶縁膜の除去領域312を除去した構成となる。また、除去される絶縁膜の領域は、ゲート電極302のチャンネル領域の大きさと同等となっている。また、図3(b)に示されるように、ソース電極304とドレイン電極305は、Wの幅を有し、Lの間隔をもって配置される。ゲート電極302は、一方の側に引出され、ゲート電極取り出し用穴309より、外部に接続される。有機半導体膜307は、ソース電極304及びドレイン電極305の端部の斜面部分において接するように構成される。

【0038】図4(a)に、図3に示した有機TFTの作製工程を示す(工程401~411)。また、図4(b)に、図4(a)に示した工程で用いられるホトリソ工程を示す(工程412~414)。

【0039】コーニング1737ガラス基板301上に形成するゲート電極302、ゲート絶縁層のSiO₂膜からなるゲート絶縁膜303、ゲート電極取り出し用穴309、ソース電極304、ドレイン電極305、の形成方法は実施例1と同じである(工程401~408)。さらに、その上に、塗布法により、厚さ2μmのベンゾシクロブテン(BCB)有機絶縁膜を形成する(工程409)。次に、ホトリソ工程によりBCB絶縁膜の一部を除去する(工程410)。除去領域310の位置、大きさは実施例1記載の除去領域110と同等である。図4(b)に示したように、BCB絶縁膜は自身がホトレジストを兼ねるため、図2(b)に示した5工程の通常ホトリソ工程に比べて、レジスト塗布(工程212)、レジストはく離(工程216)工程が短縮され、製造プロセスが簡略化される。

【0040】次に、BCB絶縁膜の上に膜厚20nmのa-6T有機半導体膜を真空蒸着法により形成する。蒸着条件は、実施例1記載の通りである。BCB絶縁層を除去した領域310のa-6T有機半導体膜307は、ソース電極304、ドレイン電極305、或いはゲート絶縁膜303に接し、チャンネル領域となる。一方、BCB絶縁膜からなるパターン化絶縁膜306のa-6T有機半導体膜308はa-6T有機半導体膜307と接触できなくなるため、チャンネル領域はゲート電極と同等のサイズにパターン化される。以上により、有機TFTが完成する。

【0041】本実施例では、パターン化絶縁層除去領域の形成プロセスが簡略された上、実施例1同様、オフ電

流が低下し、TFT特性が向上した。

【0042】この結果、本発明によれば、ソース／ドレイン電極と有機半導体膜の間にパターン化感光性有機絶縁層を挿入することにより、有機半導体チャネル領域が最適化され高性能有機TFT素子が得られることが判る。

【0043】（実施例3）次に、本発明による有機TFT素子をアクティブマトリクス液晶表示装置に用いた実施形態について、図5から図7により説明する。

【0044】図5に本発明によるアクティブマトリクス液晶表示装置を示す。図6に、図5中のA-A'線におけるアクティブマトリクス液晶表示装置の断面を示す。

501はガラス基板、502はゲート電極、503はゲート絶縁膜、504はソース電極、505はドレイン電極、506はパターン化絶縁膜、507はチャネル領域のa-6T有機半導体膜、508は非チャネル領域のa-6T有機半導体膜、509、509'は信号配線、510は走査配線、511は画素電極、512はSiO₂保護膜、513、513'は配向膜、515は対向電極、516は液晶組成物、517はスペーサビーズ、518、518'は偏光板、519はTFT基板、520は対向基板である。

【0045】図7に、図5及び図6で示したアクティブマトリクス液晶表示装置の作製工程を示す（工程701～722）。

【0046】まず、図7（a）に示した作業工程に従って、TFT基板519を作製する。コーニング1737ガラス基板501上に厚さ約150nmのCrMo膜をスパッタリング法により形成する（工程701）。ホトリソ工程によりCrMo膜をパターン化して走査配線510、及びゲート電極502を形成する（工程702）。その上に、CVD法により、厚さ300nmのSiO₂膜からなるゲート絶縁膜503を形成する（工程703）。この上に、スパッタリング法により厚さ300nmのITO薄膜を形成後、ホトリソ工程によりパターン化して、画素電極511を形成する（工程705、706）。さらに、その上に、蒸着法を用いて形成した厚さ150nmのAu薄膜をホトリソ工程によりパターン化して、信号配線509、ソース電極504、及びドレイン電極505、を形成する（工程709、710）。実施例1と同じように、Au膜とSiO₂膜の密着性をあげるために、膜厚20nmのCrMoパターンを挿入してある（工程707、708）。さらに、その上に、CVD法により、厚さ約500nmのSiNxからなるパターン化絶縁膜を形成する（工程711）。実施例1と同じように、ホトリソ工程を用いてSiNx絶縁膜の一部を除去し（工程712）、その上に、膜厚20nmのa-6T有機半導体蒸着膜を形成する（工程713）。さらにその上に、保護膜512として、膜厚500nmのSiO₂蒸着膜を形成する（工程714）。その上にスピン

コート法により厚さ約200nmの配向膜513を形成する（工程716）。以上により、TFT基板519が完成する。

【0047】次に、図7（b）に示した作業工程に従って、対向基板520を作製する。コーニング1737からなるガラス基板514上に、スパッタ法を用いて厚さ140nmのITO対向電極515を形成する（工程717）。その上にスピンコート法を用いて厚さ200nmの配向膜513'を形成する（工程718）。

【0048】液晶パネルは、図7（c）に示した作業工程に従って作製する。TFT基板519及び対向基板520上の配向膜513及び513'の表面を配向処理後（工程719）、直径約4μmの酸化シリコンからなるスペーサビーズ517をTFT基板519表面上に分散させる（工程720）。TFT基板519及び対向基板520を挟持して形成したセルギャップ間に液晶組成物516を封入する（工程721）。TFT基板519及び対向基板520の表面に偏光板518及び518'を貼り付けて、液晶パネルが形成される（工程722）。

【0049】本実施例では、実施例1と同じく、パターン化絶縁膜506の存在により、チャネル領域のa-6T有機半導体膜507がゲート電極と同サイズにパターン化されたため、オフ電流が1桁低下した。

【0050】また、図5及び図6に示したドレイン電極505と隣接信号配線509'の間の領域には、a-6T有機半導体膜508が存在するが、有機半導体パターン化絶縁膜506を介しているために、ドレイン電極505と隣接信号配線509'によるTFT動作は起こらず、従って、隣接信号配線による書き込みが起こらなかった。

【0051】この結果、本発明によれば、ソース／ドレイン電極と有機半導体膜に絶縁層を介することにより、有機半導体チャネル領域がパターン化された有機TFT素子が得られ、配線間のクロストークが起こりにくいアクティブマトリクス液晶装置が得られる。

【0052】有機TFT素子は、ICカードに用いる能動素子としても使用できる。この場合、コーニング1737を用いたガラス基板101基板をポリマーのプラスチックにすることにより、カード自体に直接積層することが可能となる。

【0053】以上述べたように、半導体チャネル領域がパターン化された薄膜トランジスタを提供することが、性能向上に望ましい。

【0054】具体的には、ガラス基板101上にゲート電極102、ゲート絶縁層103、ソース電極104、ドレイン電極105を形成する。その上にパターン化絶縁膜を形成し、ゲート電極上の領域110を除去する。その上に、有機半導体膜を蒸着する。パターン化絶縁膜の除去した領域110内に形成された有機半導体膜107はチャネル領域となり、パターン化絶縁膜106上の

有機半導体膜108と分離され、有機半導体チャネル領域がゲート電極と同等のサイズにパターン化されたことになる。これにより、半導体チャネル領域が精度良くパターン化された薄膜トランジスタが可能となり、半導体チャネル領域が最適化でき、特に有機半導体膜を用いた薄膜トランジスタの性能向上が達成できる。

【0055】

【発明の効果】本発明を用いれば、有機TFT素子において半導体チャネル領域が最適化され、ドレインオフ電流の低下、及びアクティブマトリクス液晶装置における隣接信号配線による液晶画素への書き込みが回避可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である有機TFT素子の断面構造および平面構造を示す図である。

【図2】実施例1に示す有機TFT素子の作製プロセスを示す図である。

【図3】本発明の一実施の形態である有機TFT素子の断面構造および平面構造を示す図である。

【図4】実施例2に示す有機TFT素子の作製プロセスを示す図である。

【図5】本発明の一実施の形態である有機TFT素子を用いたアクティブマトリクス液晶表示装置の基本構成を示す図である。

【図6】図5中のA-A'線における画素部の断面構造を示す図である。

【図7】実施例3に示す有機TFT素子の作製プロセスを示す図である。

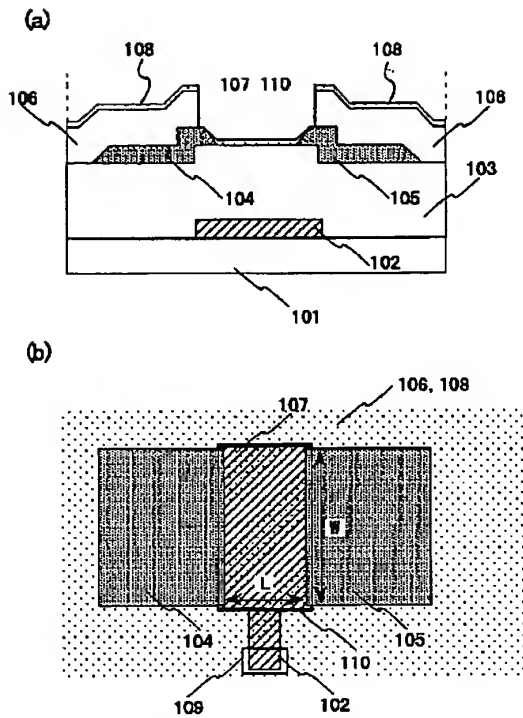
【符号の説明】

101, 301, 501, 514…ガラス基板、102, 302, 502…ゲート電極、103, 303, 503…ゲート絶縁膜、104, 304, 504…ソース電極、105, 305, 505…ドレイン電極、106, 306, 506…パターン化絶縁膜、107, 307, 507…チャネル領域のa-6T有機半導体膜、1

08, 308, 508…非チャネル領域のa-6T有機半導体膜、109, 309…ゲート電極取り出し用穴、110, 310…パターン化絶縁膜の除去領域、201, 205, 401, 405, 701, 707…CrMoスパッタ膜形成、202, 402…ゲート電極形成ホトリソ工程、203, 403, 703…ゲート絶縁膜形成、204, 404, 704…ゲート電極取り出し穴形成ホトリソ工程、206, 406…CrMoソース/ドレイン電極形成ホトリソ工程、207, 407, 709…Au蒸着膜形成、208, 408…Auソース/ドレイン電極形成ホトリソ工程、209…SiNx膜形成、210, 712…SiNx絶縁膜除去領域形成ホトリソ工程、211, 411, 713…a-6T有機半導体膜形成、212…レジスト塗布工程、213…露光工程、214…現像工程、215…エッチング工程、216…レジストはくり離工程、217…レジスト膜、218…加工膜、219, 415…基板、220, 417…ホトマスク、409…BCB有機絶縁膜塗布、410…BCB絶縁膜除去領域形成ホトリソ工程、416…感光性有機絶縁膜、509, 509'…信号配線、510…走査配線、511…画素電極、512…保護膜、513, 513'…配向膜、515…対向電極、516…液晶組成物、517…スペーサピース、518, 518'…偏光板、519…TFT基板、520…対向基板、702…ゲート電極・走査配線形成ホトリソ工程、705…ITO膜スパッタ形成、706…画素電極形成ホトリソ工程、708…CrMoソース/ドレイン電極・信号配線形成ホトリソ工程、710…Auソース/ドレイン電極・信号配線形成ホトリソ工程、714…SiOx蒸着膜形成、715…SiOx蒸着膜取り出し用穴形成ホトリソ工程、716, 718…配向膜塗布、717…対向電極用ITOスパッタ膜形成、719…配向膜配向処理、720…TFT基板ピース分散、721…TFT基板・対向基板によるセルへの液晶封入、722…偏光板貼り付け。

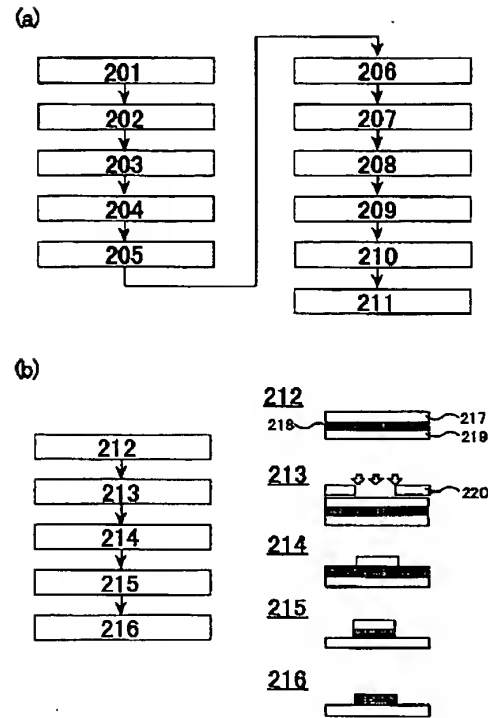
【図 1】

図 1



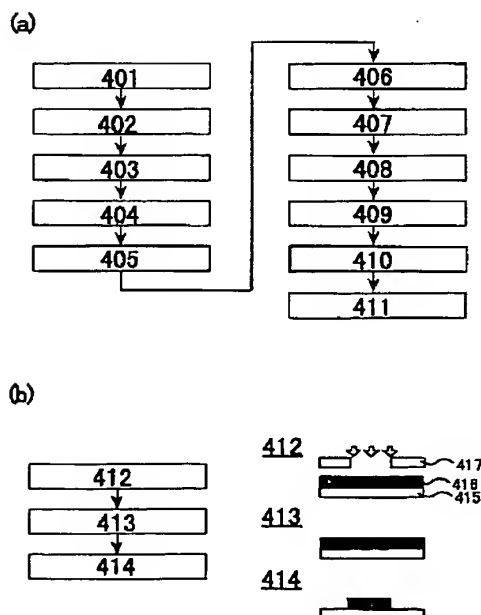
【図 2】

図 2



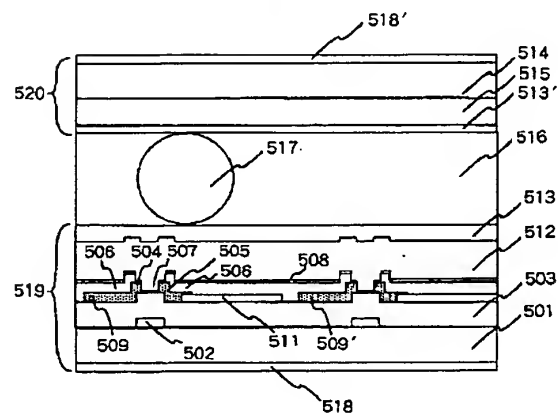
【図 4】

図 4



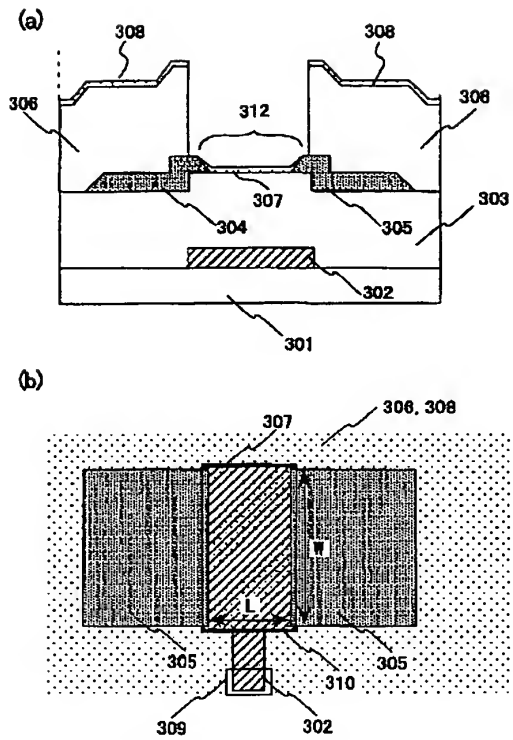
【図 6】

図 6



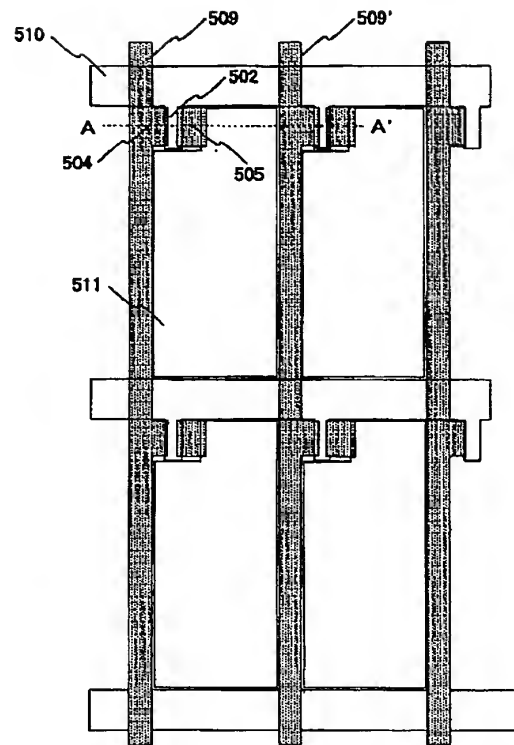
【図 3】

図 3

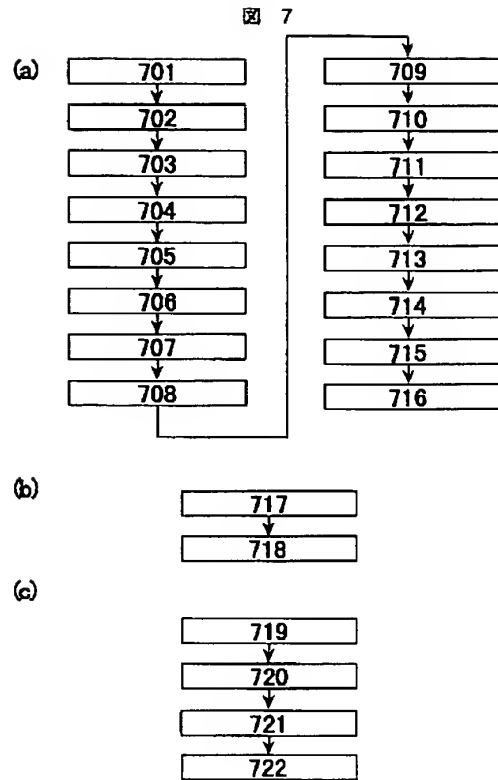


【図 5】

図 5



【図 7】



フロントページの続き

(72)発明者 安藤 正彦

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

Fターム(参考) 2H092 JA26 JA31 JA32 JA33 JA35

JA39 JA43 JB27 JB56 JB57
KA09 KA12 KA13 KA18 KA19
KA20 KB05 KB24 MA04 MA05
MA07 MA08 MA10 MA15 MA19
MA27 MA37 NA22 NA27
5F110 AA06 BB01 CC03 CC07 DD02
EE06 EE44 FF02 FF29 GG05
GG28 GG29 GG42 GG57 HK02
HK07 HK32 HK33 NN03 NN04
NN23 NN24 NN27 NN33 NN35
NN36 NN80 QQ01 QQ04 QQ08